

Poor man's PLL Sweeper – Performance (#4)

お手軽 PLL スイーパー – 特性 (#4)

武安義幸 / JA6XKQ

特性改善 – その2

出力レベル周波数特性のフラット化を目指して一連の改善を続けていました。接続点の不整合に着目しての改善ですが、当初の課題として残っていた VCO 出力部へのパッド追加を実施しました。

一応の成果が得られたので、この辺りで一区切りにします。

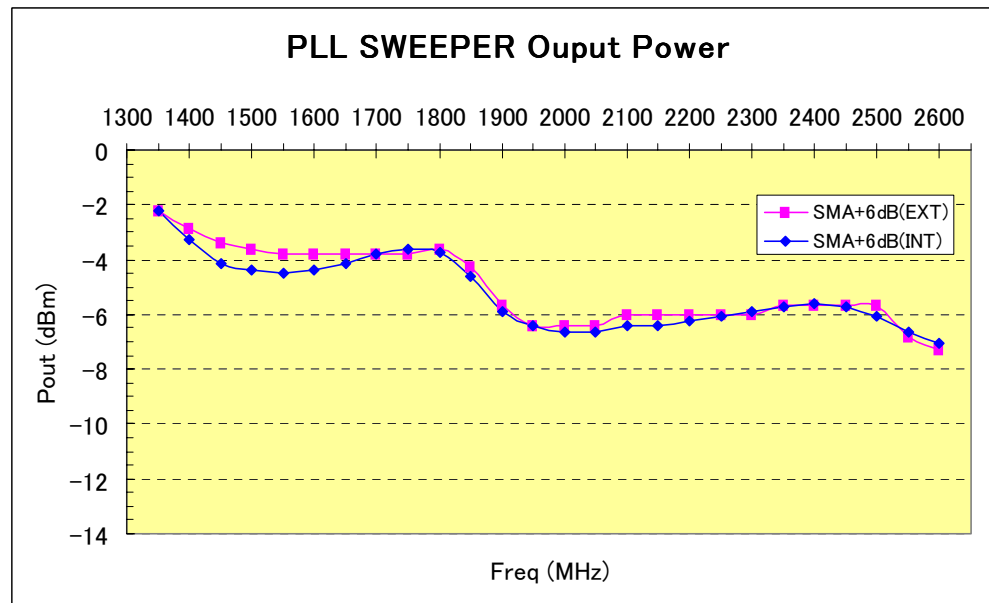


図-1 : 出力レベル周波数特性

出力レベル周波数特性

出力レベルの周波数特性を 図-1 に示します。図においてピンクのラインが前回までの結果、青色が今回の結果です。

ピンクのラインはコネクタを SMA 型換装したもので、そのコネクタに 6 dB の同軸パッドを直結し、その直後にダイオード・デテクタを装着したものです。今回は、外部の同軸パッドに相当するものをチップ抵抗を用いて VCO 出力部にパッドを形成しました。青色のラインでは、外部の同軸パッド無しでコネクタにダイオード・デテクタが直結されています。

結果は、ほぼ同一。これは、反射量をケーブルの両端で入替えたただけなので、当然の結果です。強いて言えば、内部に装着したチップ抵抗でのパッドのでき具合が、同軸パッドと同等に仕上がった、ということでしょう。

内部パッドに更に外部パッドを追加しても有意な差は認められませんでした。以上の結果から、VCO 出力部の不整合は周波数特性に対して支配的ではなかったようです。

図-1 では、周波数特性のフラットネスに着目するために、前回までの 1350 MHz でのレベルを基準にしてプロットを揃えています。しかし、絶対レベルでは内部パッドにしたもののほうが、約 2 dBほど高い出力レベルとなっています。設計としては、内部パッドも 6 dB としたのですが、、レベルが高くてフラットネスも同等なので、結果オーライとしておきます。

内部パッドの様子

内部パッドの様子を **写真-1** に示します。

パッドは 1608 サイズのチップ抵抗を用いて π 型となっています。損失の設計値は 6 dB で、定数は 計算値が 150 Ω と 37 Ω に対して、E24系列標準値の 150 Ω と 39 Ω を使用しました。

チップの配置はもっぱら GND 側パターンの確保に依存しており、写真に見られるように、かなり無理をした配置/半田付けと

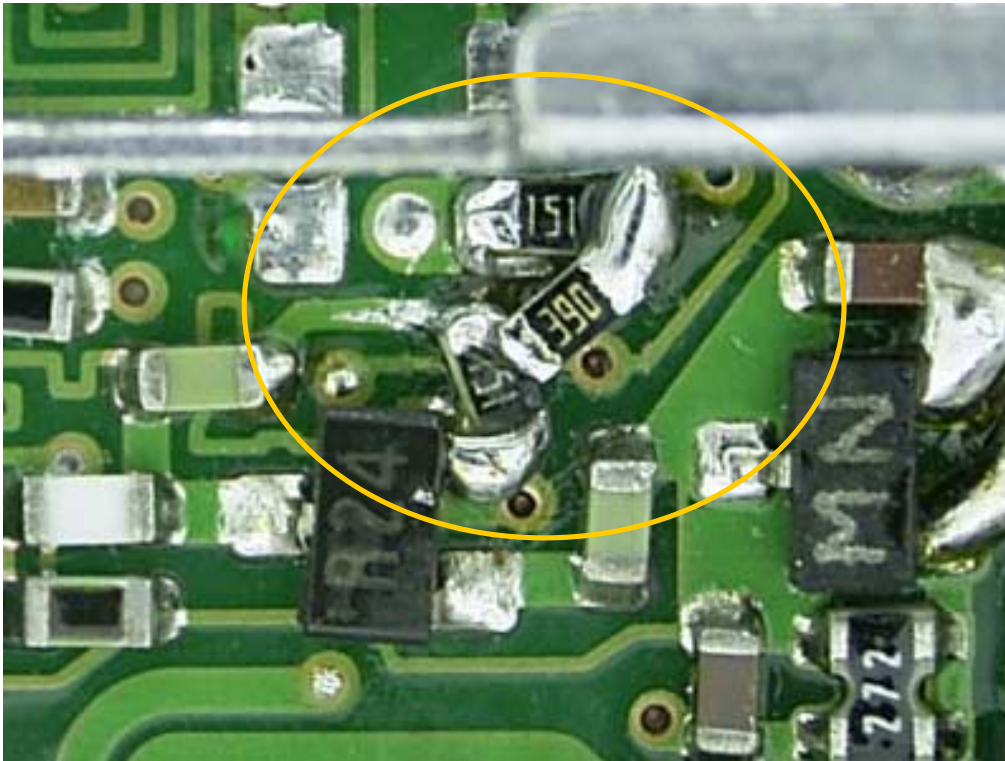


写真-1 : VCO 出力部に追加したパッド

なっています。39 Ω のチップは、150 Ω のチップの上に乗ったかたちとなっています。限られたスペースに小型部品、、、改造ベースでの限界かもしれません。当初は、GND 側の接続が少ない T型 のパッドを作ること考えたのですが、部品配置の制約から π 型にしました。

R24 と表記されたものが VCO 出力バッファのトランジスタです。右側に見える MN と表記されたものが、VCO の発振トランジスタです。

//
☆